

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-218468

(43)Date of publication of application : 10.08.2001

(51)Int.Cl.

H02M 3/28

H02M 7/08

(21)Application number : 2000-020547

(71)Applicant : DENSEI LAMBDA KK

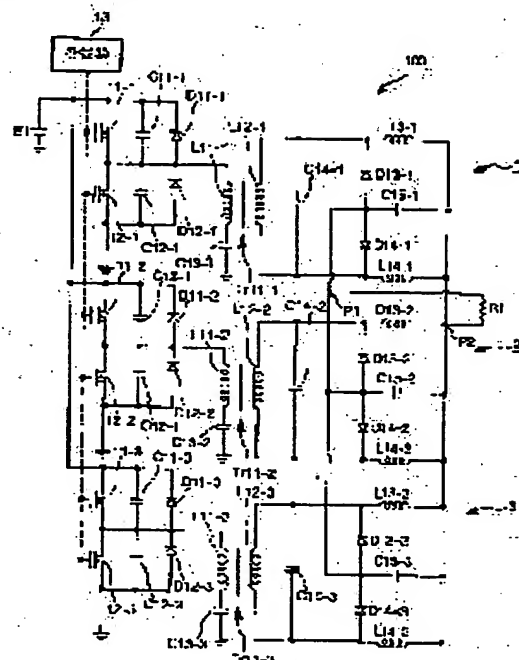
(22)Date of filing : 28.01.2000

(72)Inventor : TERASHI HIROTO

(54) PARALLEL CONNECTION CIRCUIT FOR POWER SUPPLY UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a parallel connection circuit capable of parallel-connecting a plurality of power supply units with a simple structure.
SOLUTION: A plurality of stabilizing power circuits are provided which consists of a transistor Tr11, MOS-FET11, 12 connected to the primary side of the transistor Tr11, and a current multiplying-rectifying circuit connected to the secondary side of the transistor Tr11, and the output terminals of the respective stabilizing power circuits are connected in parallel to supply electric power to loads. Each of the stabilizing power circuits includes the current multiplying-rectifying circuit, therefore an output current value is always constant. It is thus possible to operate a plurality of power supply units very easily by connecting them in parallel without any troublesome work such as setting the output currents of the respective power circuits to fixed values.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

THIS PAGE BLANK (UPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-218468

(P2001-218468A)

(43) 公開日 平成13年8月10日 (2001.8.10)

(51) Int.Cl.

H02M 3/28

7/08

識別記号

F I

H02M 3/28

7/08

テーマコード(参考)

W 5H006

Q 5H730

審査請求 未請求 請求項の数6 OL (全10頁)

(21) 出願番号 特願2000-20547 (P2000-20547)

(22) 出願日 平成12年1月28日 (2000.1.28)

(71) 出願人 390013723

デンセイ・ラムダ株式会社

東京都品川区東五反田一丁目11番15号 電
波ビルディング

(72) 発明者 寺師 裕人

東京都品川区東五反田一丁目11番15号 電
波ビルディング デンセイ・ラムダ株式会
社内

(74) 代理人 100091627

弁理士 朝比 一夫 (外1名)

Fターム(参考) 5H006 CA02 CA07 CB04 CC04 CC08

5H730 AA15 BB26 BB61 BB82 EE01

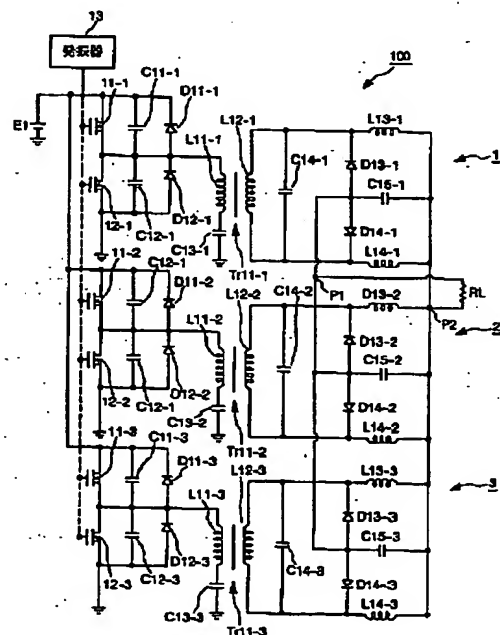
EE07

(54) 【発明の名称】 電源装置の並列接続回路

(57) 【要約】

【課題】 簡単な構成で複数台の電源装置を並列接続することのできる並列接続回路を提供することを課題とする。

【解決手段】 トランスTr11と、このトランスTr11の1次側に接続されるMOS-FET11、12と、トランスTr11の2次側に接続される倍電流整流回路と、を有する安定化電源回路を複数台設置し、各安定化電源回路の出力端子を並列的に接続して負荷に電力を供給する。このように構成すれば、各安定化電源回路は倍電流整流回路を具備しているので出力電流値は常時一定となる。したがって、各電源回路の出力電流を一定値に合わせる等の作業を必要とせず、極めて簡単に複数台の電源装置を並列接続して運転することが可能となる。



【特許請求の範囲】

【請求項1】 トランスと、該トランスの1次側に接続されるスイッチング手段と、該トランスの2次側に接続される倍電流整流回路と、を有する安定化電源装置を複数台具備し、

前記各安定化電源装置の出力端子を並列的に接続して負荷に電力を供給することを特徴とする電源装置の並列接続回路。

【請求項2】 複数のトランスを有し、該各トランスの2次側巻線にそれぞれ倍電流整流回路を接続し、前記各トランスの1次側巻線を直列に接続し、

かつ、当該直列接続の両端に接続されるスイッチング手段と、該スイッチング手段に接続される直流電源と、を具備し、

前記倍電流整流回路の出力端子を並列的に接続して負荷に電力を供給することを特徴とする電源装置の並列接続回路。

【請求項3】 前記トランスは共振トランスであり、該共振トランスの2次巻線に共振コンデンサを並列接続し、前記共振トランスの2次側電流を直列共振させることを特徴とする請求項1または2に記載の電源装置の並列接続回路。

【請求項4】 前記トランスは、理想トランスおよびこの理想トランスの1次側に接続される共振コイルで構成される共振トランスであり、該共振トランスの2次巻線に共振コンデンサを並列接続し、前記共振トランスの2次側電流を直列共振させることを特徴とする請求項1または2に記載の電源装置の並列接続回路。

【請求項5】 直流電源に対して直列接続される第1のスイッチング素子および第2のスイッチング素子からなるスイッチング手段と、

前記第1のスイッチング素子に対して並列的に配置される第1のコンデンサおよび第1のダイオードと、

前記第2のスイッチング素子に対して並列的に設置される第2のコンデンサおよび第2のダイオードと、

1次側巻線的一端が前記第1のスイッチング素子と第2のスイッチング素子との接続点に接続され、他端がコンデンサを介し前記直流電源のマイナス側に接続される共振トランスと、

該共振トランスの2次側に接続され、該共振トランスの2次電流を直列共振させる共振コンデンサと、

該コンデンサの後段側に配設される倍電流整流回路と、を有する安定化電源装置を複数台具備し、

前記各安定化電源装置の出力端子を並列的に接続して負荷に電力を供給することを特徴とする電源装置の並列接続回路。

【請求項6】 前記安定化電源回路は n 台 ($n=2, 3, \dots$) 設置され、各安定化電源回路の前記スイッチング手段は、位相角を $(2\pi/n)$ ラジアンづつずらしでオン、オフ動作することを特徴とする請求項1ないし

5のいずれかに記載の電源装置の並列接続回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電源の効率向上、ストレスの低減を目的とした電源装置の並列接続回路に関する。

【0002】

【従来の技術】 一般に、パソコンやAV機器等、半導体集積回路が用いられる電気、電子機器においては、集積回路を動作させるために、5～10ボルト程度の安定した直流電源を必要とし、このような直流安定化電源装置として従来より、スイッチングレギュレータを使用した電源装置が多く使用されている。スイッチングレギュレータは、シリーブレギュレータ、シャントレギュレータ等、他の直流安定化電源装置と比較すると小型化が可能であり、また、電力損出が少なく効率が高いという利点がある。

【0003】 また、近年において、電源装置の冗長化を図るためおよび電源回路のストレスを低減するために、複数台の電源装置を並列的に接続する方式が多く提案され、実用に供されている。つまり、集中電源から分散電源とすることにより、仮に1個の電源が故障した場合でも、他の電源を動作させることにより、通常通り負荷に対して電力を供給することができるという利点があり、他方、1台当たりの電源装置に流れる電流値が小さくて済むので、各電源装置に加えられる熱ストレスを低減することができる。

【0004】 このような電源装置の並列接続回路として、従来より、基準となる電源装置を設定し、この電源装置より出力される電流を検出して他の電源装置の出力電流が基準となる電源装置の電流と等しくなるように調整するものが知られており、実用に供されている。

【0005】

【発明が解決しようとする課題】 しかしながら、従来における電源装置の並列接続回路においては、基準となる電源装置の電流値を測定し、他の電源装置の出力電流をこの電流値に合わせるという操作が必要になるので、回路構成が大規模化し、多くの部品点数を必要とし、さらに、故障の原因につながるという欠点がある。

【0006】 この発明はこのような従来の課題を解決するためになされたものであり、その目的とするところは、簡単な構成で複数台の電源装置を並列接続することのできる並列接続回路を提供することにある。

【0007】

【課題を解決するための手段】 このような目的は、下記(1)～(6)の本発明により達成される。

【0008】 (1) トランスと、該トランスの1次側に接続されるスイッチング手段と、該トランスの2次側に接続される倍電流整流回路と、を有する安定化電源装置を複数台具備し、前記各安定化電源装置の出力端子を

並列的に接続して負荷に電力を供給することを特徴とする電源装置の並列接続回路。

【0009】(2) 複数のトランスを有し、該各トランスの2次側巻線にそれぞれ倍電流整流回路を接続し、前記各トランスの1次側巻線を直列に接続し、かつ、当該直列接続の両端に接続されるスイッチング手段と、該スイッチング手段に接続される直流電源と、を具備し、前記倍電流整流回路の出力端子を並列的に接続して負荷に電力を供給することを特徴とする電源装置の並列接続回路。

【0010】(3) 前記トランスは共振トランスであり、該共振トランスの2次巻線に共振コンデンサを並列接続し、前記共振トランスの2次側電流を直列共振させることを特徴とする上記(1)または(2)に記載の電源装置の並列接続回路。

【0011】(4) 前記トランスは、理想トランスおよびこの理想トランスの1次側に接続される共振コイルで構成される共振トランスであり、該共振トランスの2次巻線に共振コンデンサを並列接続し、前記共振トランスの2次側電流を直列共振させることを特徴とする上記(1)または(2)に記載の電源装置の並列接続回路。

【0012】(5) 直流電源に対して直列接続される第1のスイッチング素子および第2のスイッチング素子からなるスイッチング手段と、前記第1のスイッチング素子に対して並列的に配置される第1のコンデンサおよび第1のダイオードと、前記第2のスイッチング素子に対して並列的に設置される第2のコンデンサおよび第2のダイオードと、1次側巻線の一端が前記第1のスイッチング素子と第2のスイッチング素子との接続点に接続され、他端がコンデンサを介し前記直流電源のマイナス側に接続される共振トランスと、該共振トランスの2次側に接続され、該共振トランスの2次電流を直列共振させる共振コンデンサと、該コンデンサの後段側に配設される倍電流整流回路と、を有する安定化電源装置を複数台具備し、前記各安定化電源装置の出力端子を並列的に接続して負荷に電力を供給することを特徴とする電源装置の並列接続回路。

【0013】(6) 前記安定化電源回路は n 台($n=2, 3, \dots$)設置され、各安定化電源回路の前記スイッチング手段は、位相角を $(2\pi/n)$ ラジアンづつずらしてオン、オフ動作することを特徴とする上記(1)ないし(5)のいずれかに記載の電源装置の並列接続回路。

【0014】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。図1は、本発明が適用された電源装置の並列接続回路の、第1の実施形態の構成を示す回路図である。同図に示すように、この電源装置の並列接続回路100は、直流電源E1と、該直流電源E1に対して並列的に接続される3個の電源装置1、2、3と、を

具備しており、各電源装置1、2、3の出力端子が並列的に接続され、この出力端子P1、P2が負荷を接続するための接続点とされている。

【0015】各電源装置1、2、3は全て同一の構成であるので(ただし、後述するようにMOS-FETを駆動させるパルス信号の位相が異なる)、電源装置1の回路構成についてサフィックス「-1」を付して説明し、電源装置2、3についてはそれぞれサフィックス「-2」、「-3」を付してその構成説明を省略する。

【0016】電源装置1は、直流電源E1に対して直列接続される第1のMOS-FET(スイッチング素子)11-1および第2のMOS-FET12-1と、これらMOS-FET11-1、12-1のゲートに駆動パルスを与え、該MOS-FET11-1、12-1のオン、オフ動作を制御する発振器13(電源装置1~3で共用)と、第1のMOS-FET11-1に対して並列的に接続される第1のコンデンサC11-1、およびダイオードD11-1と、第2のMOS-FET12-1に対して並列的に接続される第2のコンデンサC12-1、およびダイオードD12-1と、トランス(共振トランス)Tr11-1と、を具備し、該トランスTr11-1の1次側コイル(1次側巻線)L11-1の一端はMOS-FET11-1、12-1の接続点に接続され、他端はコンデンサC13-1を介して直流電源E1のマイナス端子(グランド)に接続されている。

【0017】一方、トランスTr11-1の2次側コイル(2次側巻線)L12-1の両端には、共振コンデンサC14-1の両端が接続され、さらに、この両端にはダイオード(整流手段)D13-1、D14-1の直列接続回路、およびチョークコイルL13-1、L14-1の直列接続回路が連結されている。また、各ダイオードD13-1、D14-1の接続点と、各チョークコイルL13-1、L14-1の接続点との間にはコンデンサC15-1が介置されており、このコンデンサC15-1の両端が、電源回路2、3のコンデンサC15-2、C15-3の両端とそれぞれ接続されており、この接続点が負荷接続用の端子P1、P2とされている。

【0018】発振器13は、各電源装置1~3に搭載されるMOS-FET11(11-1~11-3)、12(12-1~12-3)に駆動用のパルスを出力するものであり、各電源装置1~3毎に、 $2\pi/3$ ラジアン(すなわち、 120°)づつ位相をずらしている。なお、この実施形態では、3台の電源装置1~3を使用しているので位相角を $2\pi/3$ ラジアンとしたが、電源装置が n 台($n=2, 3, \dots$)の場合には、 $2\pi/n$ ラジアンとする。

【0019】図2~図4は、図1に示した電源装置1の等価回路図(チョークコイルL13-1、L14-1が存在するため、トランスTr11-1の2次側は定電流となり、電源装置1のコンデンサC14-1よりも左側の回路

のみと考えて良い)、図5は、タイミングチャート図であり、各図を参照しながら本実施形態の作用について説明する。電源装置1のトランスTr11-1の結合係数をKとし、1次側に換算すると、図2～図4に示すように、該トランスTr11-1は2つのリーケージインダクタンスL21-1、L22-1(L21-1、L22-1=(1-K)*L11-1)、および主インダクタンスL23-1(L23-1=K*L11-1)のT字型接続で表すことができ、また、電源回路1の共振コンデンサC14-1はC21-1(C21-1=C14-1/N²；ただし、NはトランスTr11-1の巻線比)で表すことができる。

【0020】図5(a)はMOS-FET11-1のオンオフ状態、同図(b)はMOS-FET12-1のオンオフ状態、同図(c)はMOS-FET12-1の両端電圧Vds、同図(d)は1次側電流波形、および同図(e)は2次側電圧波形を示す。

【0021】いま、発振器13より図5(a)、(b)に示す如くの駆動信号、すなわち、一定時間MOS-FET11-1をオンとした後オフとし、このオフ時刻から若干遅らせてMOS-FET12-1をオンとする、といった駆動信号(つまり、2つのMOS-FET11-1、12-1が同時にオンとなることが発生しない)を与えると、時刻t0において、MOS-FET11-1がオンとなるので(このとき、MOS-FET12-1はオフ)図2(a)に示すように、MOS-FET11-1、インダクタンスL21-1、L22-1、コンデンサC21-1、C13-1を経て、直流電源E1(電圧値をVinとする)のプラス側からマイナス側へ共振電流i1が流れることになる。このとき、コンデンサC12-1には電圧Vinが充電され、また、図5(c)に示すように、MOS-FET12-1に印加される電圧はVinボルトとなる。

【0022】次いで、時刻t1となると、MOS-FET11-1がオフとなるので(このとき、MOS-FET12-1もオフ状態)、図2(b)に示すように、コンデンサC12-1の放電電流i3およびコンデンサC11-1の充電電流i2が共振電流として流れ、さらに、時刻t2でコンデンサC12-1の電圧が0ボルトとなると、図3(a)に示すように、ボディダイオードD12-1を介して共振電流i4が流れることになる。このとき、MOS-FET12-1の電圧Vdsが0ボルトとなるのでこのt2～t3の時間内にMOS-FET12-1をオンとすれば、ゼロボルトスイッチングが可能となり、電力の損失を低減することができる。

【0023】そして、時刻t3でMOS-FET12-1がオン状態となると、コンデンサC13-1に蓄積された電荷が放電されるので、共振電流i5は図3(b)に示すようにMOS-FET12-1を経由して時刻t3までとは逆の方向に流れることになる。このとき、コンデンサC11-1には電圧Vinが充電される。次いで、時刻t4でMOS-FET12-1がオフとなると、図4(a)

に示すように、コンデンサC11-1に充電された電荷が放電されることにより電流i6、i7が流れ、これにより、コンデンサC12-1はVinに充電される。

【0024】さらに、図5(c)に示すように、時刻t5でMOS-FET12-1の両端電圧VdsがVinボルトとなると、図4(b)に示すように、共振電流i8はボディダイオードD11-1を経由して流れることになる。このとき、MOS-FET11-1の両端電圧Vdsは0ボルトとなるので、このt5～t6(t0)の時間内にMOS-FET11-1をオンとすれば、ゼロボルトスイッチングが可能となる。

【0025】そして、再度MOS-FET11-1がオンとなると、上記した図2～図4の動作が繰り返されることになり、図5(d)に示す如くの正弦波状の1次電流、同図(e)に示す如くの正弦波状の2次電圧波形を得ることができる。つまり、図1に示す共振コンデンサC14-1の両端間には、正弦波状の電圧波形が発生することになる。

【0026】また、同図から理解されるように、1次側のスイッチングのタイミングと2次側のスイッチングのタイミングとが同期していないので、1次側で発生するスイッチングノイズと2次側で発生するスイッチングノイズとが重畳されることがなく、ノイズを分散することができる。さらに、共振電流は、リーケージインダクタンスL21-1、L22-1を介して途切れることなく流れ続けるので、2次電圧波形にリングングノイズが発生することを防止することができる。

【0027】次に、図6、図7は倍電流整流回路の回路動作を示す説明図であり、各図を参照しながら、図1に示した電源装置1の、コンデンサC14-1よりも右側の回路動作について説明する。

【0028】いま、コンデンサC14-1の一端Paの電圧が正の電圧となった場合には、図6に示すように、チョークコイルL13-1、負荷RL(コンデンサC15-1)、ダイオードD14-1を経由した電流i11が流れ、さらに、コンデンサC15-1、ダイオードD14-1およびチョークコイルL14-1を経由したループ電流i12が流れる。したがって、負荷RLには電流(i11+i12)が流れることになり、電流値は2倍となるので、倍電流が達成される。

【0029】また、共振コンデンサC14-1の他端Pbの電圧が正の電圧となった場合には、図7に示すように、チョークコイルL14-1、負荷RL(コンデンサC15-1)、ダイオードD13-1を経由した電流i13が流れ、一方、コンデンサC15-1、ダイオードD13-1、チョークコイルL13-1を経由したループ電流i14が流れる。したがって、負荷RLには電流(i13+i14)が流れるので、電流値は2倍となる。

【0030】そして、この電源装置1では、トランスTr11-1の2次側に倍電流整流回路を設置しており、該

倍電流整流回路はチョークコイルL13-1、L14-1を有しているので、出力電流値は一定となる。同様に、図1に示す電源回路2、3についても出力電流値は一定となり、かつ、各電源回路1～3の出力電圧値は同一であるので、これらの各出力端を並列に接続すれば並列運転が可能となる。

【0031】また、電源装置1では、発振器13より出力するMOS-FET11-1、12-1の駆動用パルス信号の、周波数やデューティ比を随時調整することにより、出力電圧が所望の電圧となるようにすることができる。これにより、安定した直流電圧を負荷に対して供給することができる。また、当該並列接続回路100の出力電圧（図1に示す負荷RLに印加される電圧）を測定して発振器13にフィードバックし、該測定した電圧値に応じて前記周波数、あるいはデューティ比を調整する構成とすれば、出力電圧を常時安定化させることができる。

【0032】このようにして、本実施形態に係る電源装置の並列接続回路では、トランスTr11の2次側に倍電流整流回路が搭載された電源装置を複数台（本実施形態では3台）設置しており、これら各電源装置の出力端子を並列的に接続している。したがって、従来のように、各電源装置毎に、出力電流値を一致させる等の操作を必要とせず、簡単に複数台の電源装置を並列運転させることができる。したがって、部品点数を削減することができ、回路構成を簡素化することができる。

【0033】また、電源装置1に搭載されたMOS-FET11-1とMOS-FET12-1、電源装置2に搭載されたMOS-FET11-2とMOS-FET12-2、および、各電源装置3に搭載されたMOS-FET-3とMOS-FET12-3は、それぞれ位相角が $2\pi/3$ ラジアンづつずれて、発振器13より駆動信号が与えられるので、出力電流のリップルを低減することができる。

【0034】すなわち、各電源装置1～3は、倍電流整流回路を具備しているので、ほぼ安定した直流電流を得ることができるが、実際には、各MOS-FET11、12がスイッチング動作するので、各電源装置1～3の出力電流には若干のリップルが存在することになる。そこで、各電源装置1～3毎に上記の位相角を $2\pi/3$ ラジアンづつずらして各MOS-FET11、12をスイッチング動作させれば、各電源装置1～3の出力端子を並列接続して得られる出力電流は、リップルの山、谷を打ち消し合うことになり、極めてリップルの少ない安定な直流電流を得ることができ、また、入力電流のリップルも減少する。

【0035】また、トランスTr11の2次側電流を整流する回路として、倍電流整流回路を使用しているので、トランスTr11の2次側巻線にセンタタップを設ける必要が無く、トランスTr11の構成を簡素化することができる。

【0036】また、上記した実施形態では、トランスTr11のリーケージインダクタンスと共振コンデンサC14との間でトランスTr11の2次側電流を直列共振させる例について説明したが、図8に示すように、理想トランス（リーケージインダクタンスを持たないトランス）Tr31と、該理想トランスTr31の1次側コイルに接続される共振コイルL41とで共振トランスを構成するようにしても良い。このような構成においても、上記した実施形態と同様の効果を得ることができる。

【0037】なお、上記した実施形態では、3台の電源回路1～3を並列運転する例について説明したが、本発明はこれに限定されるものではなく、2台あるいは4台以上の電源回路を接続してもよい。

【0038】また、上記の実施形態では、トランス（共振トランス）Tr11（Tr11-1～Tr11-3）の2次側に共振コンデンサC14（C14-1～C14-3）を接続する例について説明したが、本発明はこれに限定されるものではなく、トランスTr11の1次側に共振コンデンサを具備した回路、あるいは共振現象を利用しない非共振型の回路を使用しても良い。すなわち、共振型、非共振型に関わらず、倍電流整流回路は出力電流が常時一定となるように動作するので、倍電流整流回路を搭載した複数台の安定化電源装置の出力端子を並列的に接続すれば、上記の効果を得ることができる。

【0039】また、上記した実施形態の倍電流整流回路では、ダイオードD13、D14を用いてトランスTr11の2次側電流を整流する構成としたが、整流手段としてMOS-FETを配置し、これをオン、オフ動作させることにより、同期整流する方式とすることも可能である。

【0040】さらに、上記した実施形態では、スイッチング手段として2個のMOS-FET11、12を使用したハーフブリッジ型回路を例に説明したが、スイッチング手段を4個使用したフルブリッジ回路とすることも可能である。

【0041】図9は、本発明の電源装置の並列接続回路の、第2の実施形態の構成を示す回路図である。同図に示すように、この並列接続回路200は、直流電源E2と、該直流電源E2の出力端子に対して直列接続されるMOS-FET21、22（スイッチング素子）とを具備している。MOS-FET21に対して並列的にコンデンサC31およびボディダイオードD31が設置され、かつ、MOS-FET22に対して並列的にコンデンサC32およびボディダイオードD32が設置されている。また、MOS-FET21、22は、発振器23と接続されており、該発振器23から与えられる駆動パルスにより、オン・オフ動作する。

【0042】また、2つのトランス（共振トランス）Tr21-1、Tr21-2を具備しており、該トランスTr21-1、Tr21-2の1次側コイルL31-1、L31-2

は直列接続され、この直列接続の一端は、2個のMOS-FET 21, 22の連結点に接続され、他端はコンデンサC33を介して直流電源E2のマイナス側に接続されている。

【0043】各トランスTr 21-1、Tr 21-2の2次側コイルL32-1、L32-2には、それぞれ倍電流整流回路が接続されており、該倍電流整流回路は、共振コンデンサC34-1、C34-2、整流用のダイオードD33-1、D34-1、D33-2、D34-2、チョークコイルL33-1、L34-1、L33-2、L34-2、出力用のコンデンサC35-1、C35-2を具備している。そして、図1に示した電源装置1～3に搭載される倍電流整流回路と同一の構成を有している。

【0044】コンデンサC35-1の一端とコンデンサC35-2の一端は接続されており、この接続点は出力端子P11とされている。コンデンサC35-1の他端とコンデンサC35-2の他端は接続されており、この接続点は出力端子は出力端子P12とされている。そして、出力端子P11、P12が負荷RLへの接続点となっている。

【0045】上記のように構成された電源装置の並列接続回路の、MOS-FET 21, 22に発振器23からの駆動パルスが与えられると、第1の実施形態で示した手順と同一の手順で、トランスTr 21-1、Tr 21-2の一次コイルL31-1、L32-1側に、1次電圧が発生する。そして、2次側の倍電流整流回路にはそれぞれ一定の電流が流れるので、並列接続運転が可能となる。

【0046】また、2つの1次コイルL31-1、L32-1は、直列接続されているので、該1次電圧は分圧され、それぞれの1次コイルL31-1、L32-1には、1次電圧の1/2が印加されるので、倍電流整流回路が1個の場合と比較すると、出力電圧（負荷RLに印加される電圧）は1/2となり、電流値は2倍となる。これにより、近年の電源回路の趨勢である、低電圧、大電流化に極めて有利となる。

【0047】なお、図9では、2台の倍電流整流回路を並列接続する例について説明したが、本発明はこれに限定されるものではなく、3台以上の倍電流整流回路を並列接続しても良い。すなわち、n台（n=2, 3, …）の倍電流整流回路を並列接続すれば、1台の場合と比較し、電圧値を1/n倍、電流値をn倍として並列接続運転することが可能となる。

【0048】以上、本発明の電源装置の並列接続回路を図示の実施形態に基づいて説明したが、本発明はこれに限定されるものではなく、各部の構成は、同様の機能を有する任意の構成のものに置換することができる。

【0049】

【発明の効果】以上説明したように、本発明の電源装置の並列運転回路では、トランスの2次側に倍電流整流回路を搭載した安定化電源回路の出力端を接続しており、

各安定化電源回路の出力電流は一定に制御されるので、各電源回路の出力電流を一定に調節する等の操作を必要とせず、複数台の電源回路の並列運転が可能となる。

【0050】また、複数台の安定化電源回路のスイッチング手段の位相角を $2\pi/n$ （nは電源回路の個数）づつずらしてオン、オフ制御すれば、入力および出力電流のリプルを低減することができる。

【0051】さらに、複数のトランスの1次側コイルを直列接続する構成とすれば、1次側電圧を1/2とすることができ、これにより出力電流を2倍にすることができるので、低電圧、大電流化を容易に達成することができる。

【図面の簡単な説明】

【図1】本発明の電源装置の並列運転回路の、第1の実施形態の構成を示す回路図である。

【図2】図1に示した電源回路1の等価回路であり、(a)は時刻t0～t1、(b)は時刻t1～t2における電流の流れを示す説明図である。

【図3】図1に示した電源回路1の等価回路であり、(a)は時刻t2～t3、(b)は時刻t3～t4における電流の流れを示す説明図である。

【図4】図1に示した電源回路1の等価回路であり、(a)は時刻t4～t5、(b)は時刻t5～t6（t0）における電流の流れを示す説明図である。

【図5】電源回路1の動作を示すタイミングチャート図であり、(a)はMOS-FET 11-1のオンオフ状態、(b)はMOS-FET 12-1のオンオフ状態、(c)はMOS-FET 12-1の両端電圧Vds、(d)は1次側電流波形、(e)は2次側電圧波形（コンデンサC14の両端に印加される電圧波形）を示す。

【図6】コンデンサC14の一端Paが正電圧の場合の、倍電流整流回路の電流の流れを示す説明図である。

【図7】コンデンサC14の他端Pbが正電圧の場合の、倍電流整流回路の電流の流れを示す説明図である。

【図8】共振トランスを、理想トランスと共振コイルとで構成した例を示す回路図である。

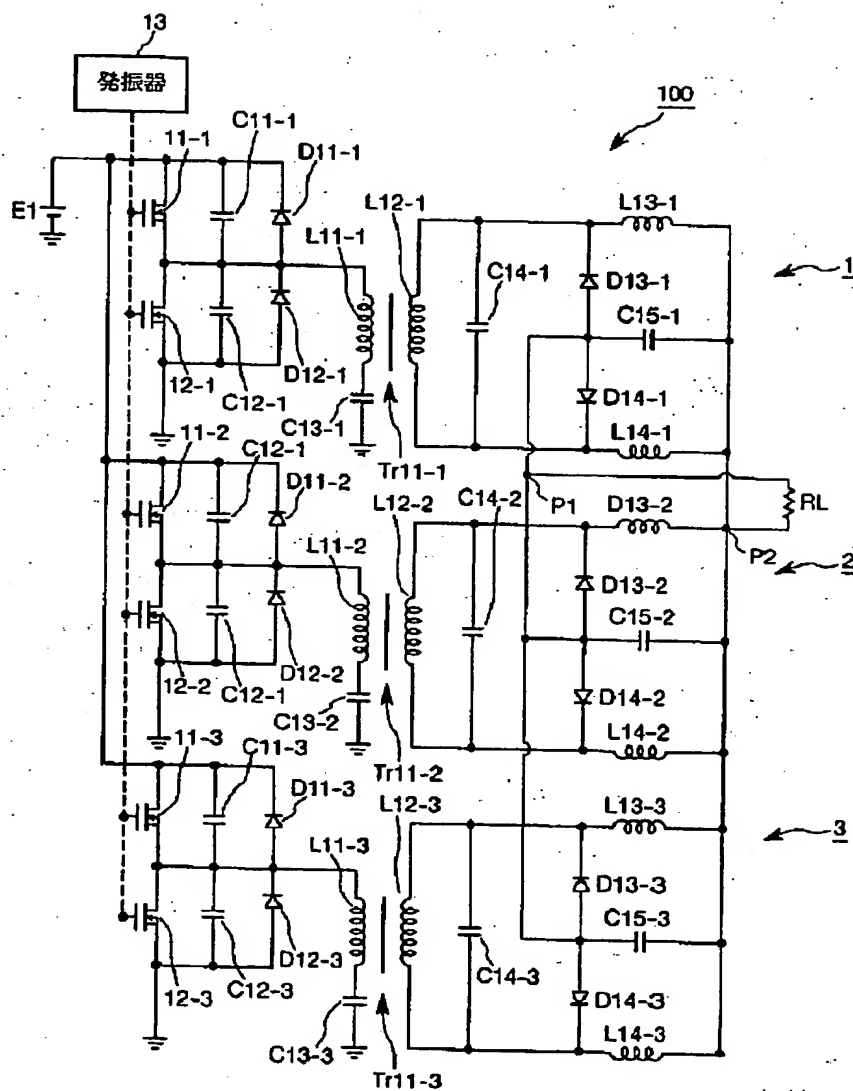
【図9】本発明の電源装置の並列運転回路の、第2の実施形態の構成を示す回路図である。

【符号の説明】

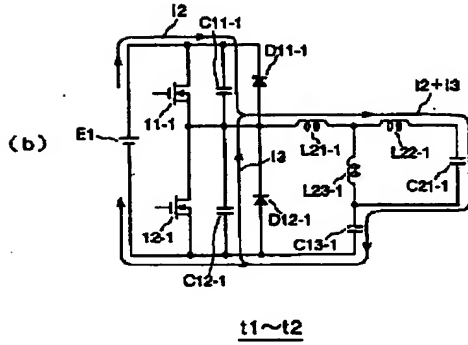
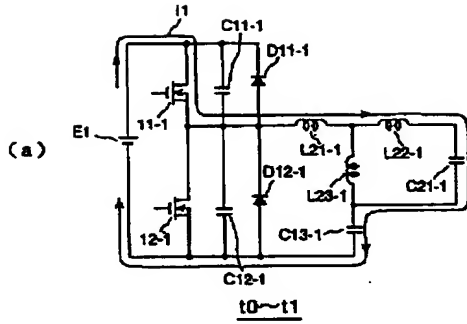
100, 200	電源装置の並列接続回路
1, 2, 3	電源装置
11, 12, 21, 22	MOS-FET
(スイッチング手段)	
13, 23	発振器
C11～C15, C31～C35	コンデンサ
Tr 11, Tr 21	トランス（共振トランス）
Tr 31	理想トランス
L11, L31	1次コイル（1次

巻線)		L 4 1	共振用コイル
L 1 2, L 3 2	2次コイル (2次	E 1, E 2	直流電源
巻線)		D 1 1 ~ D 1 4, D 3 1 ~ D 3 4	ダイオード
L 1 3, L 1 4, L 3 3, L 3 4	チョークコイル	R L	負荷

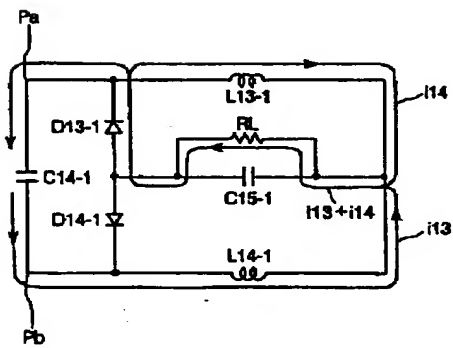
【図1】



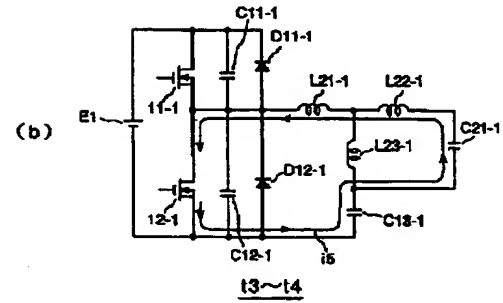
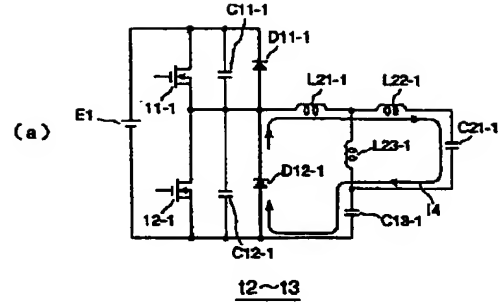
【図2】



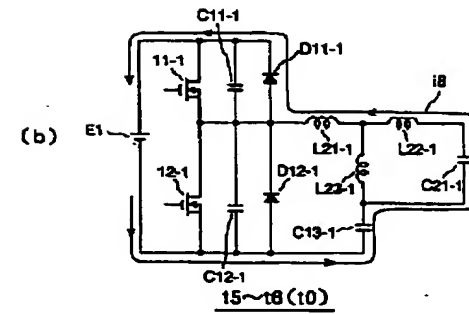
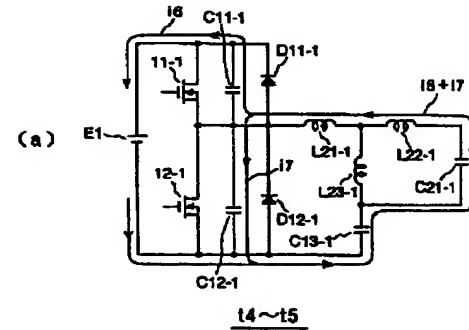
【図7】



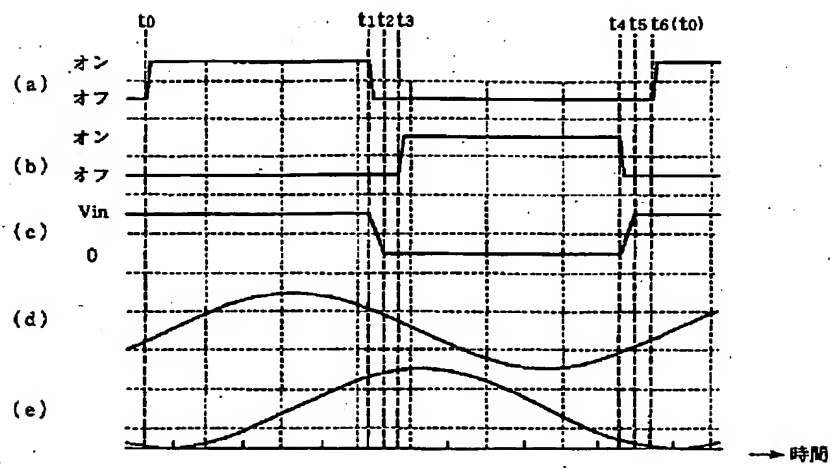
【図3】



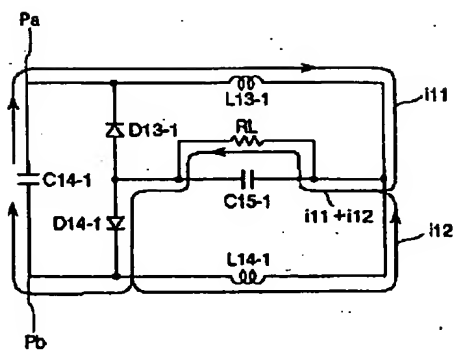
【図4】



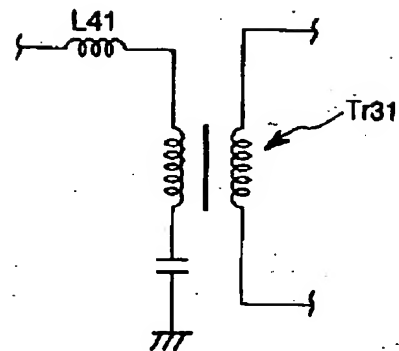
【図5】



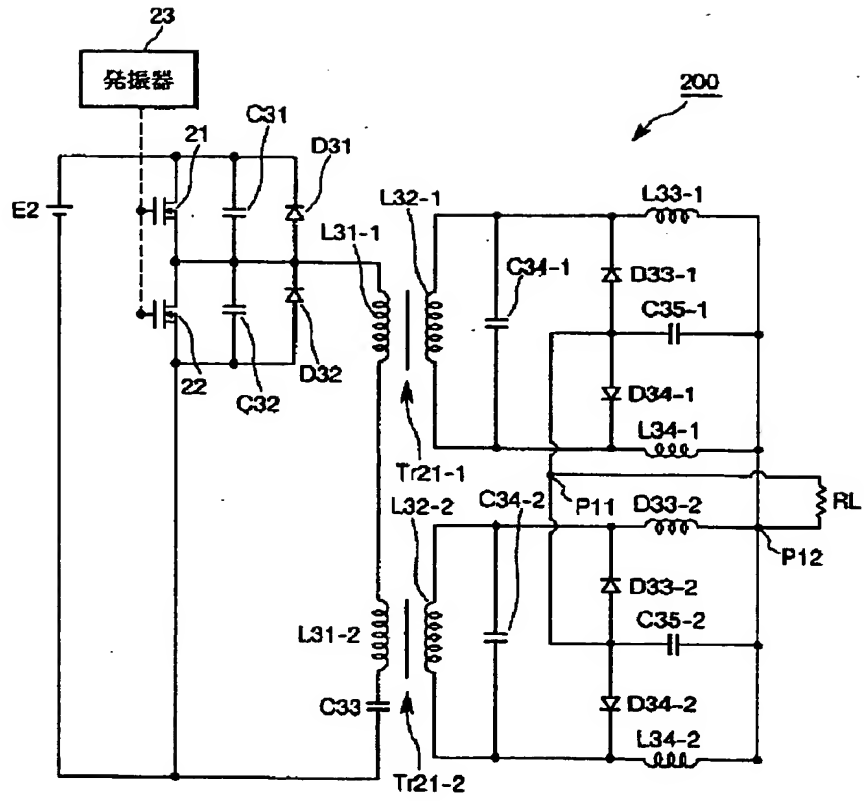
【図6】



【図8】



【図9】



This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**

THIS PAGE BLANK (USPTO)